Docket No. 247957US2S/ims

OIPE JC174 JUN 24 2004 PATENT & TRADEMARK OFFICE

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Mutsumi OKAJIMA

GAU:

SERIAL NO: 10/762,542

EXAMINER:

FILED: January 23, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**: **Application No.** **Date Filed**

■ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY	APPLICATION NUMBER	MONTH/DAY/YEAR
JAPAN	2003-359375	October 20, 2003

Certified copies of the corresponding Convention Application(s)

■ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Joseph A. Scafetta Jr.

Marvin J. Spivak
Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803

Customer Number
22850
Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

035/104
101762,542

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００３年１０月２０日

出願番号
Application Number: 特願２００３－３５９３７５

[ST. 10/C]: [ＪＰ２００３－３５９３７５]

出願人
Applicant(s): 株式会社東芝

２００４年　２月　３日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００４－３００５４４８

【書類名】　特許願
【整理番号】　A000303902
【提出日】　平成15年10月20日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/00
【発明者】
　【住所又は居所】　神奈川県横浜市磯子区新杉田町８番地　株式会社東芝横浜事業所内
　【氏名】　岡嶋　睦
【特許出願人】
　【識別番号】　000003078
　【氏名又は名称】　株式会社　東芝
【代理人】
　【識別番号】　100058479
　【弁理士】
　【氏名又は名称】　鈴江　武彦
　【電話番号】　03-3502-3181
【選任した代理人】
　【識別番号】　100091351
　【弁理士】
　【氏名又は名称】　河野　哲
【選任した代理人】
　【識別番号】　100088683
　【弁理士】
　【氏名又は名称】　中村　誠
【選任した代理人】
　【識別番号】　100108855
　【弁理士】
　【氏名又は名称】　蔵田　昌俊
【選任した代理人】
　【識別番号】　100084618
　【弁理士】
　【氏名又は名称】　村松　貞男
【選任した代理人】
　【識別番号】　100092196
　【弁理士】
　【氏名又は名称】　橋本　良郎
【手数料の表示】
　【予納台帳番号】　011567
　【納付金額】　21,000円
【提出物件の目録】
　【物件名】　特許請求の範囲　1
　【物件名】　明細書　1
　【物件名】　図面　1
　【物件名】　要約書　1

【書類名】特許請求の範囲
【請求項１】
半導体基板上に第１のゲート絶縁膜を介して形成された浮遊ゲートとなる第１の導電体膜と、
前記浮遊ゲートとなる第１の導電体膜上に第２のゲート絶縁膜を介して形成された制御ゲートとなる第２の導電体膜と、
前記第２の導電体膜の上面から前記第１の導電体膜の上面に達するように、前記第２の導電体膜及び第２のゲート絶縁膜を一部除去することにより設けられたコンタクト穴内に埋め込み形成された第３の導電体膜と、
を具備してなることを特徴とする半導体装置。
【請求項２】
半導体基板上に浮遊ゲートと制御ゲートを積層して形成されたスタックゲート構成の不揮発性半導体メモリセルと、
前記半導体基板上に、前記浮遊ゲートとなる第１の導電体膜と前記制御ゲートとなる第２の導電体膜を積層し、これら第２の導電体膜，第１の導電体膜が電気的に接続されてゲート配線が形成されたメモリセル以外のトランジスタと、
を具備してなり、
前記メモリセル以外のトランジスタの部分は、前記第２の導電体膜の上面から前記第１の導電体膜の上面に達するように設けられたコンタクト穴内に第３の導電体膜が埋め込み形成されていることを特徴とする半導体装置。
【請求項３】
前記不揮発性半導体メモリセルが複数個直列接続されてなるＮＡＮＤセルユニットが前記半導体基板のメモリ領域に複数個配置されて不揮発性メモリアレイを構成し、
前記不揮発性半導体メモリセルの直列接続部の両端に形成された選択トランジスタ及び前記半導体基板の周辺回路領域に形成された周辺トランジスタの部分で、前記コンタクト穴内に前記第３の導電体膜が埋め込み形成されていることを特徴とする請求項２記載の半導体装置。
【請求項４】
前記コンタクト穴内に埋め込まれた第３の導電体膜は、前記制御ゲートとなる第２の導電体膜とは異なる導電材料で形成されていることを特徴とする請求項１～３の何れかに記載の半導体装置。
【請求項５】
前記コンタクト穴内に埋め込まれた第３の導電体膜及び前記制御ゲートとなる第２の導電体膜はシリコン膜で形成され、該シリコン膜の表面がシリサイド化されていることを特徴とする請求項１～３の何れかに記載の半導体装置。
【請求項６】
半導体基板上に、第１のゲート絶縁膜，浮遊ゲートとなる第１の導電体膜，第２のゲート絶縁膜，及び制御ゲートとなる第２の導電体膜が積層されてなるスタックゲート構成のゲート配線パターンを形成する工程と、
前記制御ゲートとなる第２の導電体膜及び第２のゲート絶縁膜を一部除去することにより、前記制御ゲートとなる第２の導電体膜の上面から前記浮遊ゲートとなる第１の導電体膜の上面に達するコンタクト穴を形成する工程と、
前記コンタクト穴内に第３の導電体膜を埋め込み形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
【請求項７】
半導体基板上に第１のゲート絶縁膜を介して浮遊ゲートとなる第１の導電体膜を形成する工程と、
少なくとも前記浮遊ゲートのゲート幅方向の不要部分を除去するように、前記浮遊ゲートとなる第１の導電体膜を選択的にエッチングする工程と、
前記基板上及び前記浮遊ゲートとなる第１の導電体膜上に第２のゲート絶縁膜を介して

制御ゲートとなる第２の導電体膜を形成する工程と、
前記制御ゲートとなる第２の導電体膜を前記浮遊ゲートとなる第１の導電体膜と共に選択的にエッチングすることにより、不揮発性半導体メモリセル及びメモリセル以外のトランジスタの各ゲート配線パターンを形成する工程と、
前記メモリセル以外のトランジスタの部分で、前記ゲート配線パターンをリソグラフィの基準とし、前記制御ゲートとなる第２の導電体膜及び第２の絶縁膜を選択的にエッチングすることにより、前記制御ゲートとなる第２の導電体膜の上面から前記浮遊ゲートとなる第１の導電体膜の上面に達するコンタクト穴を形成する工程と、
前記コンタクト穴内に第３の導電体膜を埋め込み形成する工程と、
を含むことを特徴とする半導体装置の製造方法。
【請求項８】
前記コンタクト穴の形成を、前記ゲート配線パターン間に平坦化用の絶縁膜を埋め込んだ後に行うことを特徴とする請求項６又は７記載の半導体装置の製造方法。
【請求項９】
前記ゲート配線パターン間に平坦化用の絶縁膜を埋め込んだ後に、前記不揮発性メモリセルの選択トランジスタの部分では前記ゲート配線パターンの一辺を含んでその一部が露出し、周辺トランジスタの部分では前記ゲート配線パターンの全部が露出するような開口を有するレジストパターンを形成し、次いで前記レジストパターンをマスクとして前記コンタクト穴形成のためのエッチングを行うことを特徴とする請求項７記載の半導体装置の製造方法。

【書類名】明細書
【発明の名称】半導体装置及びその製造方法
【技術分野】
【０００１】
本発明は、浮遊ゲートと制御ゲートを積層したスタックゲート型不揮発性半導体メモリを有する半導体装置に係わり、特に浮遊ゲートと制御ゲートの接続部分を改良した半導体装置及びその製造方法に関する。
【背景技術】
【０００２】
従来、ＮＡＮＤ型不揮発性半導体メモリに用いられるＮＡＮＤセルユニットは、複数の不揮発性半導体メモリセルを直列接続すると共に、直列接続部の両端に選択トランジスタを接続して形成される。ここで、各々のメモリセルは、半導体基板上に第１のゲート絶縁膜を介して浮遊ゲートを形成し、その上に第２のゲート絶縁膜を介して制御ゲートを形成した２層ゲート構成（スタックゲート構成）となっている。一方、選択トランジスタは、メモリセルと同時に形成するために同じく２層ゲート構成となっているが、浮遊ゲートと制御ゲートを電気的に接続する必要がある。このため、制御ゲートとなる導電体膜を形成する前に、選択トランジスタ部において浮遊ゲート上のゲート絶縁膜をリソグラフィにより除去している（例えば、特許文献１参照）。
【０００３】
ここで、浮遊ゲート上のゲート絶縁膜を一部除去するためのリソグラフィにおいては、既に形成されている素子分離領域を基準にして位置を合わせることになる。一方、ゲート配線パターン形成のためのリソグラフィにおいても、素子分離領域を基準にして位置を合わせることになる。このため、ゲート間の絶縁膜の開孔領域を形成するためのリソグラフィとゲート配線形成のためのリソグラフィは間接合わせとなり、合わせマージンを大きく取る必要がある。
【０００４】
従って、このような従来技術では、メモリセルのみならず選択トランジスタ及び周辺トランジスタも微細化され、選択トランジスタ及び周辺トランジスタにおけるゲート間の絶縁膜の開孔領域が小さくなると、開孔領域を形成するためのリソグラフィの合わせマージンが極めて小さくなり、リソグラフィが困難になるという問題がある。また、リソグラフィの合わせマージンを確保しようとすると、選択トランジスタ及び周辺トランジスタを小さくすることができず、素子の微細化が制限されることになる。
【特許文献１】特開２００２－１７６１１４号公報
【発明の開示】
【発明が解決しようとする課題】
【０００５】
このように従来、浮遊ゲートと制御ゲート間の絶縁膜に開孔領域を形成するためのリソグラフィとゲート配線を形成するためのリソグラフィは間接合わせとなり、従って開孔領域を形成するためのリソグラフィの合わせマージンを大きく取る必要があり、これが素子の微細化を妨げる要因となっていた。
【０００６】
本発明は、上記事情を考慮して成されたもので、その目的とするところは、浮遊ゲート制御ゲートとの間の絶縁膜に開孔領域を形成するためのリソグラフィの合わせ精度を高めることができ、チップサイズの縮小化及びコストの低減に寄与し得る半導体装置及びその製造方法を提供することにある。
【課題を解決するための手段】
【０００７】
本発明の一態様の半導体装置は、半導体基板上に第１のゲート絶縁膜を介して形成された浮遊ゲートとなる第１の導電体膜と、前記浮遊ゲートとなる第１の導電体膜上に第２のゲート絶縁膜を介して形成された制御ゲートとなる第２の導電体膜と、前記第２の導電体

膜の上面から前記第１の導電体膜の上面に達するように、前記第２の導電体膜及び第２のゲート絶縁膜を一部除去することにより設けられたコンタクト穴内に埋め込み形成された第３の導電体膜と、を具備してなることを特徴とする。

【０００８】

また、本発明の他の態様の半導体装置は、半導体基板上に浮遊ゲートと制御ゲートを積層して形成されたスタックゲート構成の不揮発性半導体メモリセルと、前記半導体基板上に、前記浮遊ゲートとなる第１の導電体膜と前記制御ゲートとなる第２の導電体膜を積層し、これら第２の導電体膜，第１の導電体膜が電気的に接続されてゲート配線が形成されたメモリセル以外のトランジスタと、を具備してなり、前記メモリセル以外のトランジスタの部分は、前記第２の導電体膜の上面から前記第１の導電体膜の上面に達するように設けられたコンタクト穴内に第３の導電体膜が埋め込み形成されていることを特徴とする。

【０００９】

また、本発明の一態様の半導体装置の製造方法は、半導体基板上に、第１のゲート絶縁膜，浮遊ゲートとなる第１の導電体膜，第２のゲート絶縁膜，及び制御ゲートとなる第２の導電体膜が積層されてなるスタックゲート構成のゲート配線パターンを形成する工程と、前記制御ゲートとなる第２の導電体膜及び第２のゲート絶縁膜を一部除去することにより、前記制御ゲートとなる第２の導電体膜の上面から前記浮遊ゲートとなる第１の導電体膜の上面に達するコンタクト穴を形成する工程と、前記コンタクト穴内に第３の導電体膜を埋め込み形成する工程と、を含むことを特徴とする。

【００１０】

また、本発明の他の態様の半導体装置の製造方法は、半導体基板上に第１のゲート絶縁膜を介して浮遊ゲートとなる第１の導電体膜を形成する工程と、少なくとも前記浮遊ゲートのゲート幅方向の不要部分を除去するように、前記浮遊ゲートとなる第１の導電体膜を選択的にエッチングする工程と、前記基板上及び前記浮遊ゲートとなる第１の導電体膜上に第２のゲート絶縁膜を介して制御ゲートとなる第２の導電体膜を形成する工程と、前記制御ゲートとなる第２の導電体膜を前記浮遊ゲートとなる第１の導電体膜と共に選択的にエッチングすることにより、不揮発性半導体メモリセル及びメモリセル以外のトランジスタの各ゲート配線パターンを形成する工程と、前記メモリセル以外のトランジスタの部分で、前記ゲート配線パターンをリソグラフィの基準とし、前記制御ゲートとなる第２の導電体膜及び第２の絶縁膜を選択的にエッチングすることにより、前記制御ゲートとなる第２の導電体膜の上面から前記浮遊ゲートとなる第１の導電体膜の上面に達するコンタクト穴を形成する工程と、前記コンタクト穴内に第３の導電体膜を埋め込み形成する工程と、を含むことを特徴とする。

【発明の効果】

【００１１】

本発明によれば、制御ゲートとなる第２の導電体膜にコンタクト穴を設け、このコンタクト穴に第３の導電体膜を埋め込み形成することにより、制御ゲートとなる第２の導電体膜と浮遊ゲートとなる第１の導電体膜を電気的に接続することができる。そしてこの場合、制御ゲートのパターン形成後に、コンタクト穴形成のためのリソグラフィを行うことにより、リソグラフィをゲート配線に合わせて行うことができる。即ち、ゲート間の絶縁膜の開孔領域を形成するためのリソグラフィとゲート配線形成のためのリソグラフィが直接合わせとなり、リソグラフィの合わせ精度を高めることができる。従って、微細なゲート寸法に対してもリソグラフィの直接合わせで接続部のパターンを形成することが可能であり、チップサイズを小さくしてコストを低減することが可能となる。

【発明を実施するための最良の形態】

【００１２】

本発明の実施形態を説明する前に、一般的なＮＡＮＤ型不揮発性半導体メモリの製造方法について説明する。ここでは、素子分離領域形成からゲート配線形成、及び平坦化までの工程について説明する。

【００１３】

図１に、ＮＡＮＤ型不揮発性半導体メモリにおいて、制御ゲート形成後に基板表面側から見た模式図を示す。図１において、メモリ領域１０では素子領域１１と素子分離領域１２がラインアンドスペースパターンで形成されており、素子領域１１には、メモリセル１３が複数個直列接続されてメモリセルユニットを成すように形成されている。ＮＡＮＤ型不揮発性半導体メモリでは通常、メモリセル１３のトランジスタのゲート配線の１６本又は３２本おきに２本の選択トランジスタ１４が形成されている。また、周辺回路領域２０では周辺トランジスタ２５のパターンが形成されている。以下では、まず図１のＡ－Ａ’断面方向を例に取り、ＮＡＮＤ型不揮発性半導体メモリの素子分離形成方法を説明する。

【００１４】

まず、図２（ａ）に示すように、シリコン基板１０１上にトンネル絶縁膜（第１のゲート絶縁膜）１０２を、熱酸化法により１０ｎｍの厚さに形成する。続いて、浮遊ゲートとなるリンドープポリシリコン膜１０３を、ＬＰ（Low Pressure）－ＣＶＤ法により１４０ｎｍの厚さに堆積する。その後、同じくＬＰ－ＣＶＤ法により、シリコン窒化膜１０４を７０ｎｍの厚さに堆積する。

【００１５】

次いで、図２（ｂ）に示すように、素子分離領域を形成するためのレジストパターン１０５を、リソグラフィ法を用いてシリコン窒化膜１０４上に形成する。次いで、図２（ｃ）に示すように、レジストパターン１０５をマスクとして用いドライエッチング法により、シリコン窒化膜１０４，リンドープポリシリコン膜１０３，及びトンネル絶縁膜１０２を選択的にエッチングし、さらにシリコン基板１０１を表面から２００ｎｍの深さまでエッチングする。その後、図２（ｄ）に示すように、レジストパターン１０５をアッシング法により除去することにより、シリコン基板１０１の表面に素子分離領域用の溝を形成する。

【００１６】

次いで、図３（ｅ）に示すように、Ｐ（Plasma）－ＣＶＤ法によりシリコン酸化膜１０７を５００ｎｍの厚さに堆積する。続いて、図３（ｆ）に示すように、シリコン窒化膜１０４をストッパとして用い、ＣＭＰ（Chemical Mechanical Polishing）法によりシリコン酸化膜１０７を削ることにより素子表面を平坦化し、シリコン酸化膜１０７を素子分離領域に埋め込む。

【００１７】

次いで、図３（ｇ）に示すように、ウェットエッチング法を用いてシリコン窒化膜１０４をエッチングして除去する。次いで、図３（ｈ）に示すように、ドライエッチング法を用いてエッチングすることにより、素子分離領域に埋め込まれた酸化膜１０７をリンドープポリシリコン膜１０３の表面から１００ｎｍの深さまで除去する。これは、浮遊ゲートと制御ゲートとの間の容量を大きくするためである。

【００１８】

以上の工程により、素子分離領域１２にはシリコン酸化膜１０７が埋め込まれ、素子領域１１上には、後に浮遊ゲートとなるリンドープポリシリコン膜１０３がセルフアラインで形成される。

【００１９】

続いて、図１のＢ－Ｂ’断面方向でのゲート配線形成方法及び平坦化までの工程を説明する。図４（ａ）に、前記素子分離工程後のＢ－Ｂ’断面を示す。先に述べたように、素子領域１１上にはトンネル絶縁膜１０２を介してリンドープポリシリコン膜１０３が堆積されている。

【００２０】

次いで、図４（ｂ）に示すように、浮遊ゲートと制御ゲートを絶縁するために、ＬＰ－ＣＶＤ法によりゲート間絶縁膜としてシリコン酸化膜，シリコン窒化膜，及びシリコン酸化膜を積層したＯＮＯ膜（第２のゲート絶縁膜）１０９を１５ｎｍの厚さに堆積する。

【００２１】

次いで、図４（ｃ）に示すように、リソグラフィ法を用いて、選択トランジスタ及び周

辺トランジスタを形成する領域のＯＮＯ膜１０９を除去するためのレジストパターン１１１を形成する。次いで、図４（ｄ）に示すように、ドライエッチング法を用いてレジストに覆われていない部分のＯＮＯ膜１０９を除去した後、レジストパターン１１１をアッシング法により除去する。

【００２２】

次いで、図４（ｅ）に示すように、制御ゲートとなるリンドープポリシリコン膜１１３を８０ｎｍの厚さに堆積し、さらに制御ゲートを低抵抗化するためにタングステンシリサイド膜１１４をスパッタリング法により１００ｎｍの厚さに堆積する。さらに、ＬＰ－ＣＶＤ法によりシリコン窒化膜１１５を２００ｎｍの厚さに堆積する。

【００２３】

次いで、図５（ｆ）に示すように、リソグラフィ法を用いてゲート配線加工用のレジストパターン１１７を形成する。次いで、図５（ｇ）に示すように、ドライエッチング法を用いてシリコン窒化膜１１５をエッチングした後、アッシング法によりレジストパターン１１７を除去する。

【００２４】

次いで、図５（ｈ）に示すように、シリコン窒化膜１１５をマスクとしてタングステンシリサイド膜１１４及びリンドープポリシリコン膜１１３をエッチングする。このとき、ＯＮＯ膜１０９がドライエッチングでのストッパ膜の役割をする。

【００２５】

次いで、図６（ｉ）に示すように、同じくドライエッチング法を用いてＯＮＯ膜１０９をエッチングし、さらにドライエッチング法によりリンドープポリシリコン膜１０３をエッチングする。

【００２６】

以上の工程により、前記図１のようにＮＡＮＤ型不揮発性半導体メモリにおけるメモリセル１３及び選択トランジスタ１４、並びに周辺トランジスタ２５が形成される。ここで、選択トランジスタ１４及び周辺トランジスタ２５では、ＯＮＯ膜１０９の開孔部を介して浮遊ゲートと制御ゲートが電気的に接続されている。こうすることにより、素子領域１１と素子分離領域１２のラインアンドスペースパターンと略直交する方向に、選択トランジスタ１４のゲート配線パターンを形成することが可能となり、また周辺トランジスタ２５のゲート配線の配線抵抗を浮遊ゲートのみで形成する場合に比べ低減することができる。

【００２７】

図６（ｉ）の工程の後、図６（ｊ）に示すように、ＬＰ－ＣＶＤ法によりシリコン酸化膜１２１を６０ｎｍの厚さに堆積する。続いて、シリコン基板１０１をストッパとして用い、ドライエッチング法により全面エッチバックを行い、更に酸化雰囲気での熱処理により露出したシリコン基板１０１の表面を１０ｎｍ酸化する。

【００２８】

次いで、ＬＰ－ＣＶＤ法によりシリコン窒化膜１２２を２０ｎｍの厚さに堆積し、さらにＬＰ－ＣＶＤ法によりシリコン酸化膜１２３を７００ｎｍの厚さに堆積する。続いて、シリコン窒化膜１２２をストッパとして用い、ＣＭＰ法によりシリコン酸化膜１２３を研磨することにより、素子表面を平坦化する。これにより、図６（ｋ）に示すようにゲート配線形成及び平坦化までの工程が完了する。

【００２９】

以上の製造技術では、選択トランジスタ及び周辺トランジスタのゲート配線を形成するために、次のようにしている。即ち、素子分離領域を形成した後に、浮遊ゲートとなる導電体膜１０３上にＯＮＯ膜１０９を堆積し、その次にリソグラフィ法及びドライエッチング法を用いてＯＮＯ膜１０９の一部に開孔領域を形成する。続いて、制御ゲートとなる導電体膜１１３を堆積した後に、リソグラフィによりゲート配線パターンを形成する。このため、開孔領域を形成するためのリソグラフィは素子分離領域形成のためのリソグラフィに合わせることになる。また、ゲート配線パターン形成のためのリソグラフィも素子分離

領域形成のためのリソグラフィに合わせることになる。このため、開孔領域を形成するためのリソグラフィとゲート配線形成のリソグラフィとは間接合わせとなり、合わせマージンを大きく取る必要がある。

【００３０】

合わせマージンを大きく取る必要があるのは、次のような理由のためである。即ち、合わせずれが大きいと、前記図５（ｈ）のドライエッチング中にＯＮＯ膜１０９がエッチングストッパ膜として存在しない箇所が生じるため、浮遊ゲートのリンドープポリシリコン膜１０３もエッチングされてしまう。そして、次の浮遊ゲートのリンドープポリシリコン膜１０３のエッチング時にトンネル絶縁膜１０２でエッチングをストップさせることが困難となり、シリコン基板１０１もエッチングされてしまう。

【００３１】

本実施形態では、このような問題を解決するために、以下のような構成及び製造方法を採用している。

【００３２】

（第１の実施形態）

図７～図１０は、本発明の第１の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図である。なお、この断面は、前記図１のＢ－Ｂ’断面に相当している。

【００３３】

前記図４（ｂ）の工程までは、従来技術と同じである。この工程の後、図７（ａ）に示すように、ＬＰ－ＣＶＤ法によりリンドープポリシリコン膜１１３を８０ｎｍの厚さに堆積し、その上にスパッタリング法によりタングステンシリサイド膜１１４を１００ｎｍの厚さに堆積する。さらに、ＬＰ－ＣＶＤ法によりシリコン窒化膜１１５を２００ｎｍの厚さに堆積する。

【００３４】

次いで、図７（ｂ）に示すように、リソグラフィ法を用いてゲート配線加工用のレジストパターン１１７を形成する。次いで、図７（ｃ）に示すように、レジストパターン１１７をマスクとしてドライエッチング法によりシリコン窒化膜１１５をエッチングした後、アッシング法によりレジストパターン１１７を除去する。

【００３５】

次いで、図８（ｄ）に示すように、シリコン窒化膜１１５をマスクとして、タングステンシリサイド膜１１４及びリンドープポリシリコン膜１１３を、ドライエッチング法によりエッチングする。このとき、ＯＮＯ膜１０９がドライエッチングでのストッパ膜の役割をする。

【００３６】

次いで、図８（ｅ）に示すように、同じくドライエッチング法を用いてＯＮＯ膜１０９をエッチングし、さらにドライエッチング法によりリンドープポリシリコン膜１０３をエッチングする。

【００３７】

次いで、図８（ｆ）に示すように、ＬＰ－ＣＶＤ法によりシリコン酸化膜１２１を６０ｎｍの厚さに堆積した後、シリコン基板１０１をストッパとして用い、ドライエッチング技術により全面エッチバックする。これにより、メモリセル部ではゲート間にシリコン酸化膜１２１が埋め込まれ、選択トランジスタ部及び周辺トランジスタ部ではゲート側壁にシリコン酸化膜１２１が残ることになる。その後、酸化雰囲気での熱処理により露出したシリコン基板１０１の表面を酸化する。

【００３８】

次いで、図８（ｇ）に示すように、ＬＰ－ＣＶＤ法によりシリコン窒化膜１２２を２０ｎｍの厚さに堆積する。なお、このシリコン窒化膜１２２は、ビット線コンタクト，ソース線コンタクト形成時のエッチングストッパとしても用いられる。

【００３９】

次いで、図９（ｈ）に示すように、ＬＰ－ＣＶＤ法によりシリコン酸化膜１２３を７００ｎｍの厚さに堆積した後、シリコン窒化膜１２２をストッパとして用い、ＣＭＰ法によりシリコン酸化膜１２３を研磨することにより、素子表面を平坦化する。

【００４０】

次いで、図９（ｉ）に示すように、選択トランジスタ上及び周辺トランジスタ上でＯＮＯ膜１０９を除去するためのレジストパターン１２４を、リソグラフィ法を用いて形成する。このＯＮＯ膜１０９の除去は、選択トランジスタ及び周辺トランジスタで浮遊ゲートと制御ゲートを電気的に接続するためである。

【００４１】

次いで、図９（ｊ）に示すように、レジストパターン１２４をマスクとしてドライエッチング法によりシリコン窒化膜１２２及び１１５とタングステンシリサイド膜１１４及びリンドープポリシリコン膜１１３を除去する。続いて、露出したＯＮＯ膜１０９をエッチングにより除去する。

【００４２】

次いで、図１０（ｋ）に示すように、アッシング法によりレジストパターン１２４を除去する。続いて、図１０（ｌ）に示すように、スパッタリング法によりバリアメタルとしてチタン膜１３１及びチタン窒化膜１３２をそれぞれ２０ｎｍずつ堆積し、さらにＰ－ＣＶＤ法によりタングステン膜１３３を１５０ｎｍの厚さに堆積する。

【００４３】

次いで、図１０（ｍ）に示すように、シリコン窒化膜１２２及びシリコン酸化膜１２３をストッパとして用い、ＣＭＰ法により表面のタングステン膜１３３，チタン窒化膜１３２，及びチタン膜１３１を研磨して除去する。

【００４４】

なお、図には示さないが、メモリセル，選択トランジスタ，及び周辺トランジスタの各部分において、ゲート部の両端にソース・ドレイン拡散層が形成され、メモリセル及び選択トランジスタでは隣接するもの同士が接続されてメモリセルユニットとしてのＮＡＮＤセルユニットが構成されることになる。また、ＮＡＮＤセルユニットのドレイン側，ソース側の選択トランジスタ間において、シリコン酸化膜１２３及びシリコン窒化膜１２２を選択エッチングすることにより、それぞれビット線コンタクト，ソース線コンタクトが設けられるようになっている。

【００４５】

以上の工程により、選択トランジスタ及び周辺トランジスタでは、バリアメタル及びタングステンプラグを介して浮遊ゲートと制御ゲートが電気的に接続されるので、配線抵抗を低減化することができる。また、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィは、ゲート配線形成のためのリソグラフィの後に行うため、既に形成されたゲート配線に直接合わせることが可能である。従って、従来法に比して、リソグラフィの合わせ精度を高めることができ、合わせマージンを小さくすることができる。これにより、チップサイズの縮小化及びコストの低減に寄与することができる。

【００４６】

（第２の実施形態）

図１１～１３は、本発明の第２の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図である。なお、この断面は、前記図１のＢ－Ｂ’断面に相当している。また、図１１～１３中の符号２０１～２２４は図２～１０中の符号１０１～１２４に対応している。

【００４７】

図１１（ａ）の工程までは、第１の実施形態の図９（ｉ）の工程までと基本的には同じであるが、タングステンシリサイド膜１１４が無い代わりにリンドープポリシリコン膜２１３が２００ｎｍと厚く形成されている。

【００４８】

この後、図１１（ｂ）に示すように、ドライエッチング法により、レジストパターン２

２４をマスクとしてシリコン窒化膜２２２及び２１５とリンドープポリシリコン膜２１３を除去する。続いて、図１１（ｃ）に示すように、アッシング法によりレジストパターン２２４を除去する。

【００４９】

次いで、図１２（ｄ）に示すように、シリコン窒化膜とシリコン酸化膜のエッチングレートが略同一となる条件で、ドライエッチング法によりリンドープポリシリコン膜２１３の上面が露出するまで全面エッチバックを行う。このとき、リンドープポリシリコン膜２１３の開孔部では浮遊ゲート表面のＯＮＯ膜２０９も同時にエッチングされる。

【００５０】

次いで、図１２（ｅ）に示すように、ＬＰ－ＣＶＤ法により全面にリンドープポリシリコン膜２４１を堆積する。続いて、図１２（ｆ）に示すように、シリコン酸化膜２２３をストッパとして用い、ＣＭＰ法により表面のリンドープポリシリコン膜２４１を研磨して除去する。

【００５１】

次いで、図１３（ｇ）に示すように、全面にコバルト膜２５１及びチタン窒化膜２５２をスパッタリング法により堆積する。次いで、図１３（ｈ）に示すように、熱処理によりリンドープポリシリコン膜２１３及び２４１の表面上にコバルトシリサイド膜２５３を形成したのち、未反応のコバルト膜２５１及びチタン窒化膜２５２をウェットエッチング法により除去する。

【００５２】

以上の工程により、選択トランジスタ及び周辺トランジスタでは、浮遊ゲートと制御ゲートがリンドープポリシリコン膜２４１で電気的に接続されるので、配線抵抗を低減化することができる。また、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィは、ゲート配線形成のためのリソグラフィの後に行うため、既に形成されたゲート配線に直接合わせることが可能である。従って、第１の実施形態と同様の効果が得られる。また、第１の実施形態と比較すると、制御ゲート部分がリンドープポリシリコン膜２１３の単膜で形成されているため、制御ゲート部分のエッチング時にタングステンシリサイド膜をエッチングする必要が無くなり、制御ゲート部のエッチングが容易になる利点がある。

【００５３】

（第３の実施形態）

図１４～１６は、本発明の第３の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図である。なお、この断面は、前記図１のＢ－Ｂ’断面に相当している。また、図１４～１６中の符号３０１～３５３は図１１～１３中の符号２０１～２５３に対応している。

【００５４】

図１４（ａ）の工程までは、第２の実施形態の図１１（ａ）の工程までと基本的には同じである。但し、図１１（ａ）ではレジストパターン２２４が選択トランジスタ上及び周辺トランジスタ上にスリット状開口を有するように形成されていたのに対し、図１４（ａ）ではレジストパターン３２４は２つの選択トランジスタ間で連続する大きな開口を有するように形成されている。また、周辺トランジスタの部分ではレジストパターン３２４を形成しないようにしている。

【００５５】

この後、図１４（ｂ）に示すように、ドライエッチング法により、レジストパターン３２４をマスクとしてシリコン窒化膜３２２及び３１５を除去する。続いて、図１４（ｃ）に示すように、ドライエッチング法によりリンドープポリシリコン膜３１３を除去する。その後、図１５（ｄ）に示すように、アッシング法によりレジストパターン３２４を除去する。

【００５６】

次いで、図１５（ｅ）に示すように、シリコン窒化膜とシリコン酸化膜のエッチングレートが略同一となる条件で、ドライエッチング法によりリンドープポリシリコン膜３１３

の上面が露出するまで全面エッチバックを行う。このとき、リンドープポリシリコン膜３１３の開口部では浮遊ゲート表面のＯＮＯ膜３０９も同時にエッチングされる。

【００５７】

次いで、図１５（ｆ）に示すように、ＬＰ－ＣＶＤ法により全面にリンドープポリシリコン膜３４１を堆積する。その後、図１６（ｇ）に示すように、シリコン酸化膜３２３をストッパとして用い、ＣＭＰ法により表面のリンドープポリシリコン膜３４１を研磨して除去する。

【００５８】

次いで、図１６（ｈ）に示すように、全面にコバルト膜３５１及びチタン窒化膜３５２をスパッタリング法により堆積する。次いで、図１６（ｉ）に示すように、熱処理によりリンドープポリシリコン膜３１３及び３４１の表面上にコバルトシリサイド膜３５３を形成した後、未反応のコバルト膜３５１及びチタン窒化膜３５２をウェットエッチング法により除去する。

【００５９】

以上の工程により、選択トランジスタ及び周辺トランジスタでは、浮遊ゲートと制御ゲートがリンドープポリシリコン膜３４１で電気的に接続されるので、配線抵抗を低減化することができる。また、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィは、ゲート配線形成のためのリソグラフィの後に行うため、既に形成されたゲート配線に直接合わせることが可能である。従って、第１及び第２の実施形態と同様の効果が得られる。

【００６０】

また、第２の実施形態と比較すると、浮遊ゲートと制御ゲートとの接続部を形成するためのリソグラフィにおいて、選択トランジスタ上及び周辺トランジスタ上に微細なスリット状開口を有するように形成する必要が無くなるため、リソグラフィが容易になるという利点がある。また、リソグラフィが容易になるため、選択トランジスタの寸法及び選択トランジスタ間のスペースを小さくすることも可能となり、チップサイズを更に縮小してコストのより一層の低減をはかることができる。

【００６１】

また、浮遊ゲートとなるリンドープポリシリコン膜３０３と接続部のリンドープポリシリコン膜３４１との接触面積を大きくすることができるため、コンタクト面積の増大によりコンタクト抵抗の低減をはかることもできる。

【００６２】

（変形例）

なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、ＮＡＮＤ型不揮発性半導体メモリについて説明したが、本発明は必ずしもＮＡＮＤ型に限らず、メモリセルと選択トランジスタ又は周辺トランジスタを有する各種の不揮発性半導体メモリに適用することができる。また、各部の材料，厚さ等の条件は仕様に応じて適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【図面の簡単な説明】

【００６３】

【図１】ＮＡＮＤ型不揮発性半導体メモリのゲート配線形成後の状態を示す平面図。

【図２】図１のＡ－Ａ’断面方向に対応する素子分離形成工程を示す断面図。

【図３】図１のＡ－Ａ’断面方向に対応する素子分離形成工程を示す断面図。

【図４】図１のＢ－Ｂ’断面方向に対応するゲート配線形成工程を示す断面図。

【図５】図１のＢ－Ｂ’断面方向に対応するゲート配線形成工程を示す断面図。

【図６】図１のＢ－Ｂ’断面方向に対応するゲート配線形成工程を示す断面図。

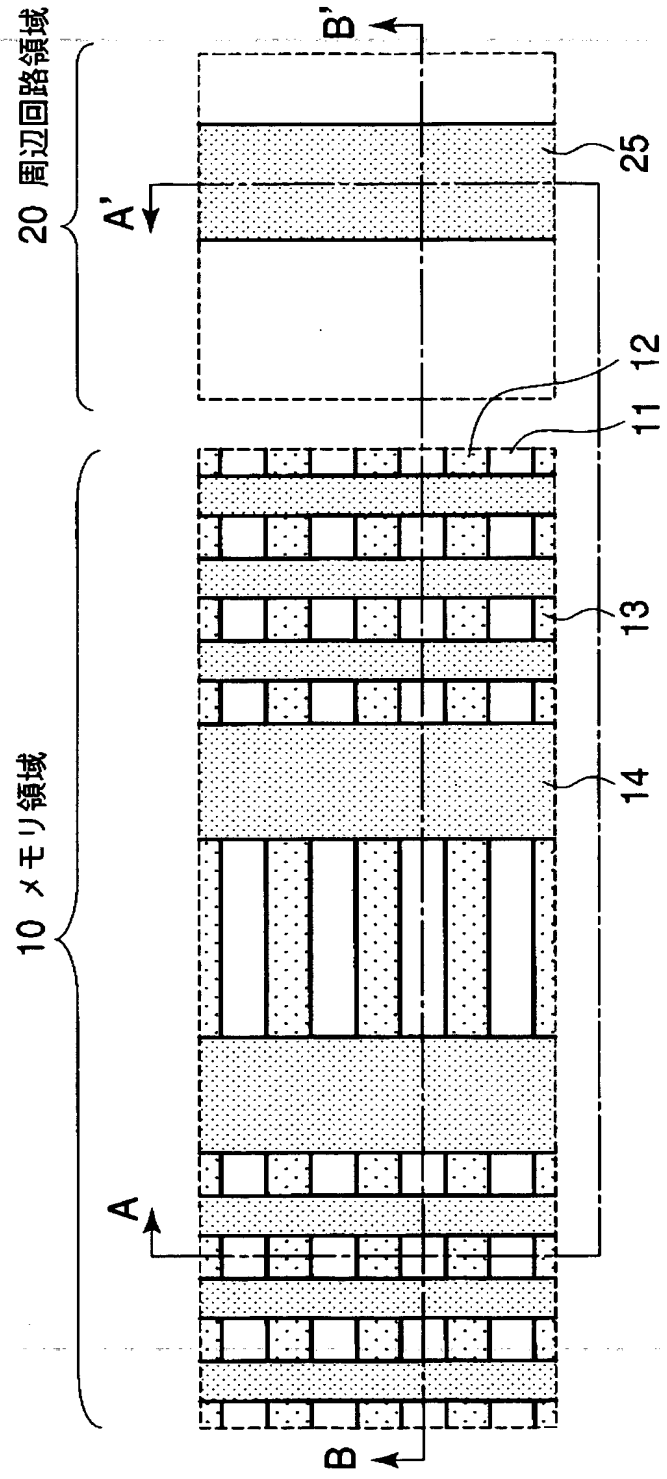
【図７】第１の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。

【図８】第１の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す

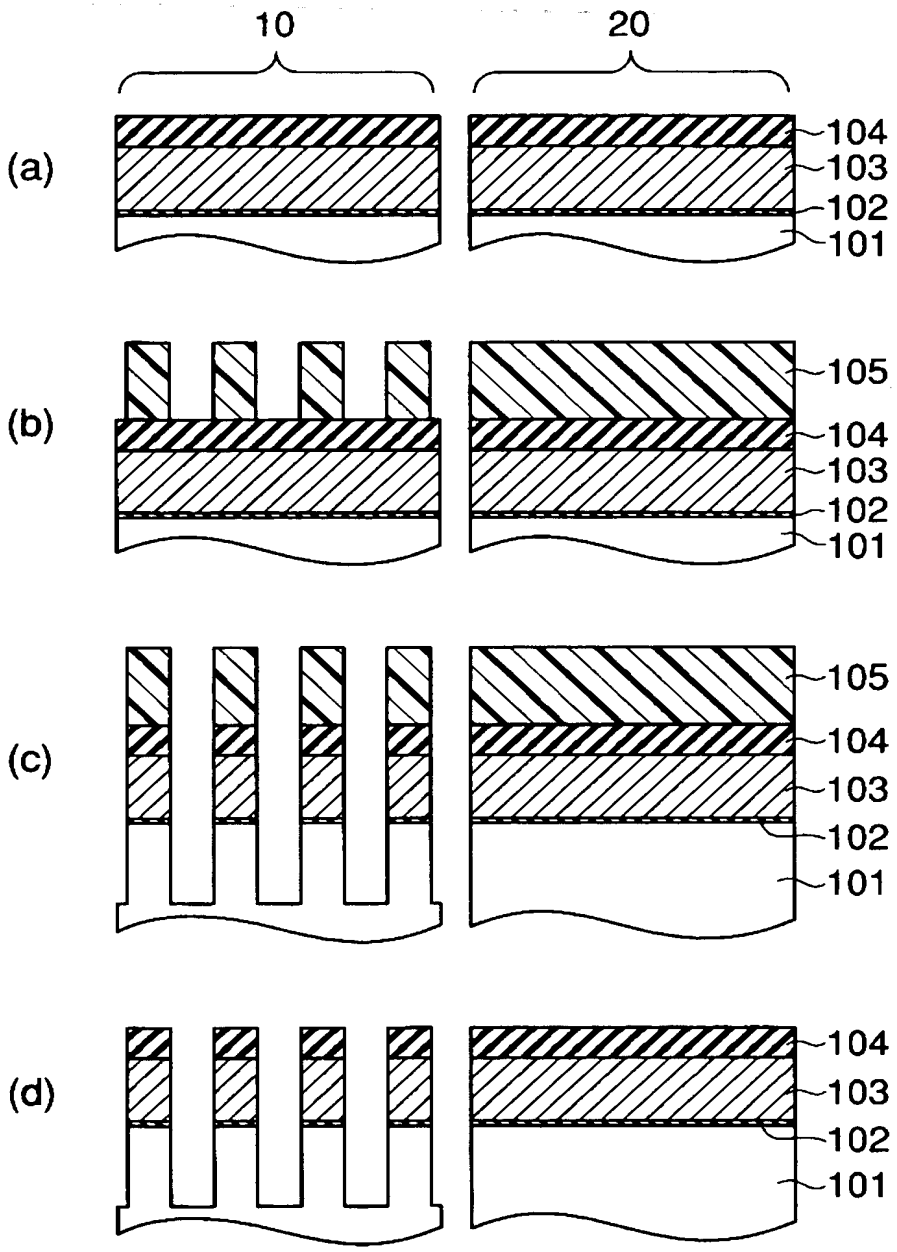
断面図。
【図９】第１の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１０】第１の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１１】第２の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１２】第２の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１３】第２の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１４】第３の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１５】第３の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。
【図１６】第３の実施形態に係わるＮＡＮＤ型不揮発性半導体メモリの製造工程を示す断面図。

【符号の説明】
【００６４】
１０…メモリセル領域
１１…素子領域
１２…素子分離領域
１３…メモリセル
１４…選択トランジスタ
２０…周辺回路領域
２５…周辺トランジスタ
１０１…シリコン基板
１０２…トンネル絶縁膜（第１のゲート絶縁膜）
１０３…リンドープポリシリコン膜（浮遊ゲート）
１０４…シリコン窒化膜
１０５…素子分離領域形成用レジストパターン
１０７…シリコン酸化膜
１０９…ＯＮＯ膜（第２のゲート絶縁膜）
１１１…接続部形成用レジストパターン
１１３…リンドープポリシリコン膜（制御ゲート）
１１４…タングステンシリサイド膜
１１５…シリコン窒化膜
１１７…ゲート配線形成用レジストパターン
１２１…シリコン酸化膜
１２２…シリコン窒化膜
１２３…シリコン酸化膜
１２４，２２４，３２４…接続部形成用レジストパターン
１３１…チタン膜
１３２…チタン窒化膜
１３３…タングステン膜
２４１，３４１…リンドープポリシリコン膜
２５１，３５１…コバルト膜
２５２，３５２…チタン窒化膜
２５３，３５３…コバルトシリサイド膜

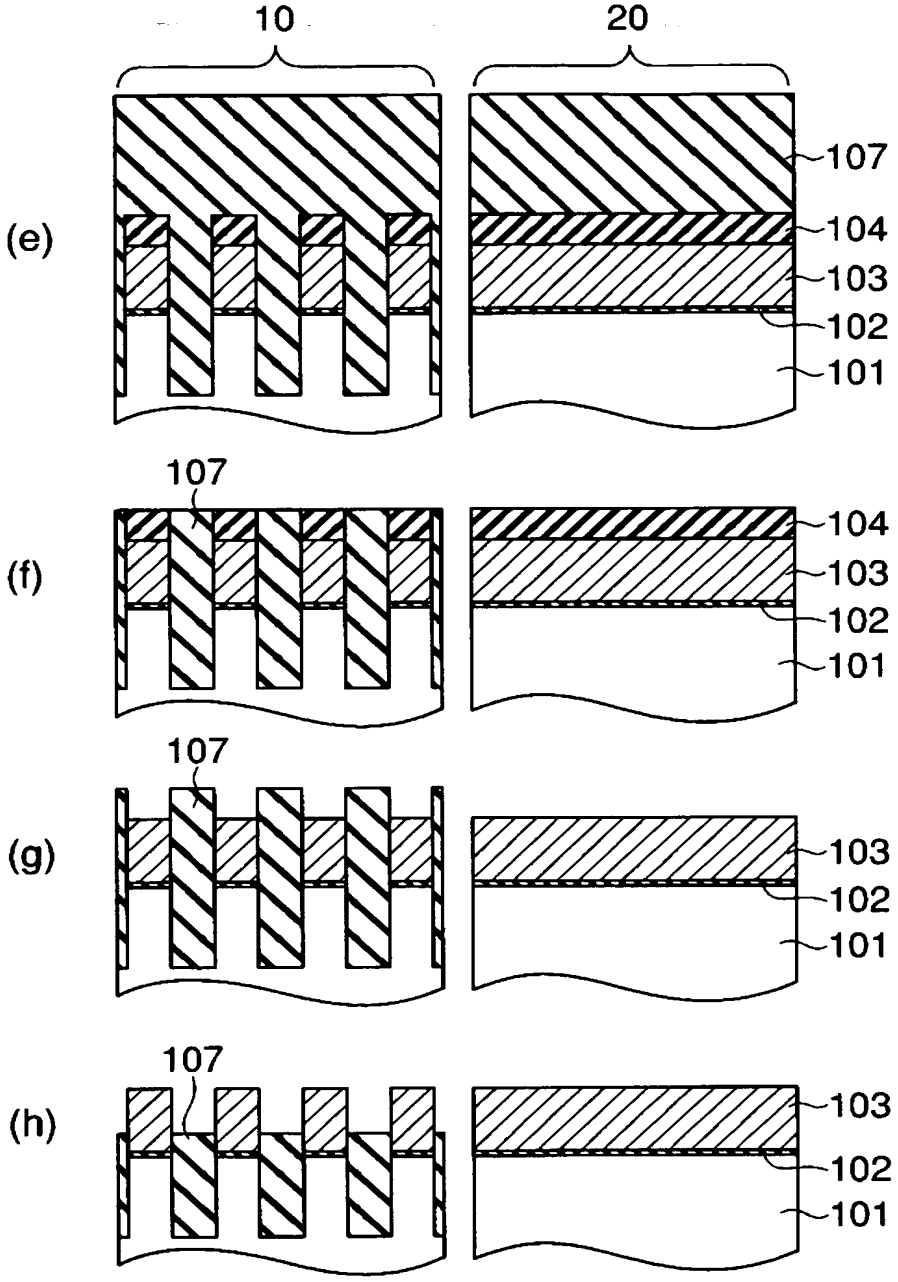
【書類名】図面
【図１】



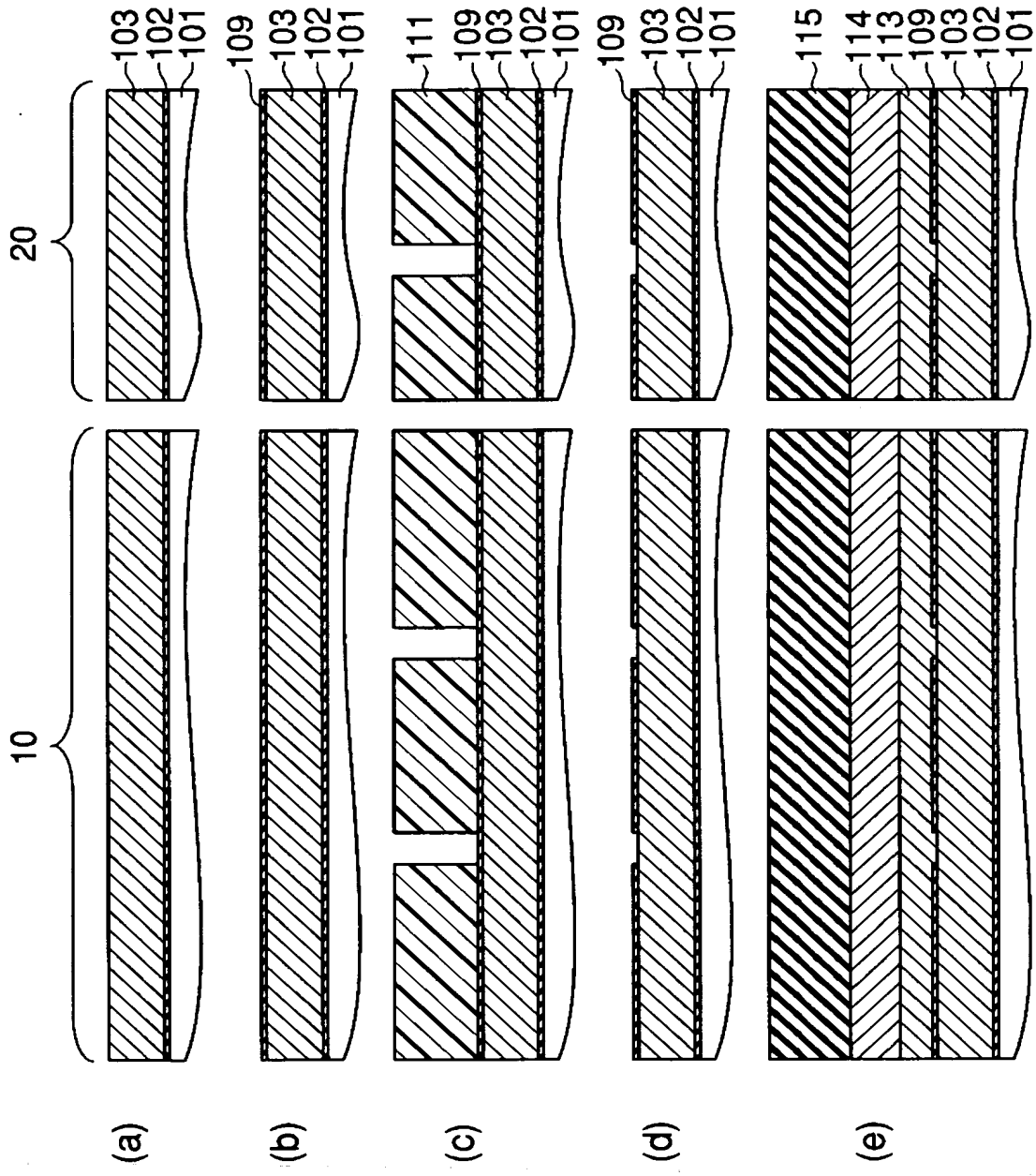
【図２】


10
20
(a)
104
103
102
101
(b)
105
104
103
102
101
(c)
105
104
103
102
101
(d)
104
103
102
101

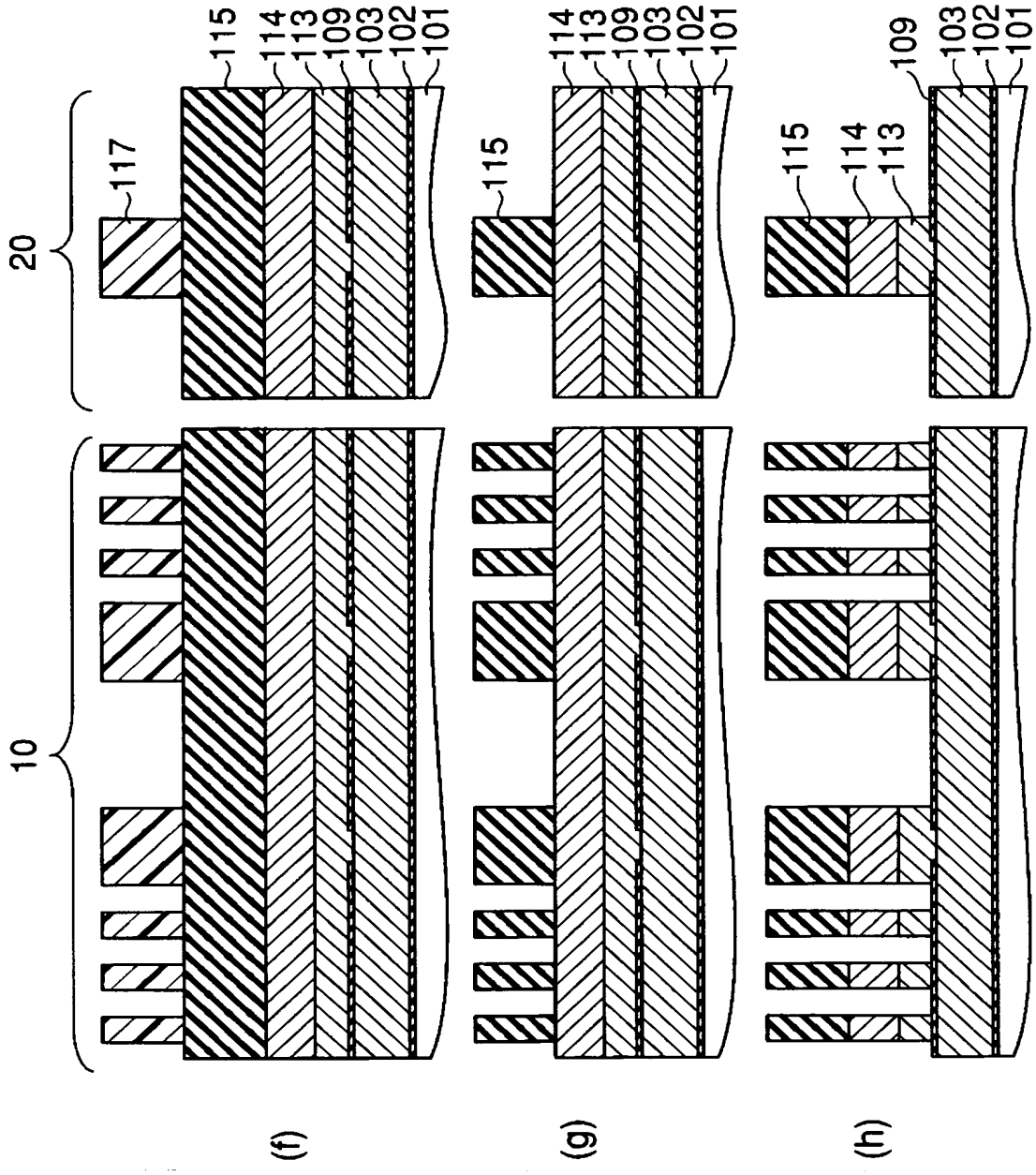
【図３】


10
20
(e)
107
104
103
102
101
(f)
107
104
103
102
101
(g)
107
103
102
101
(h)
107
103
102
101

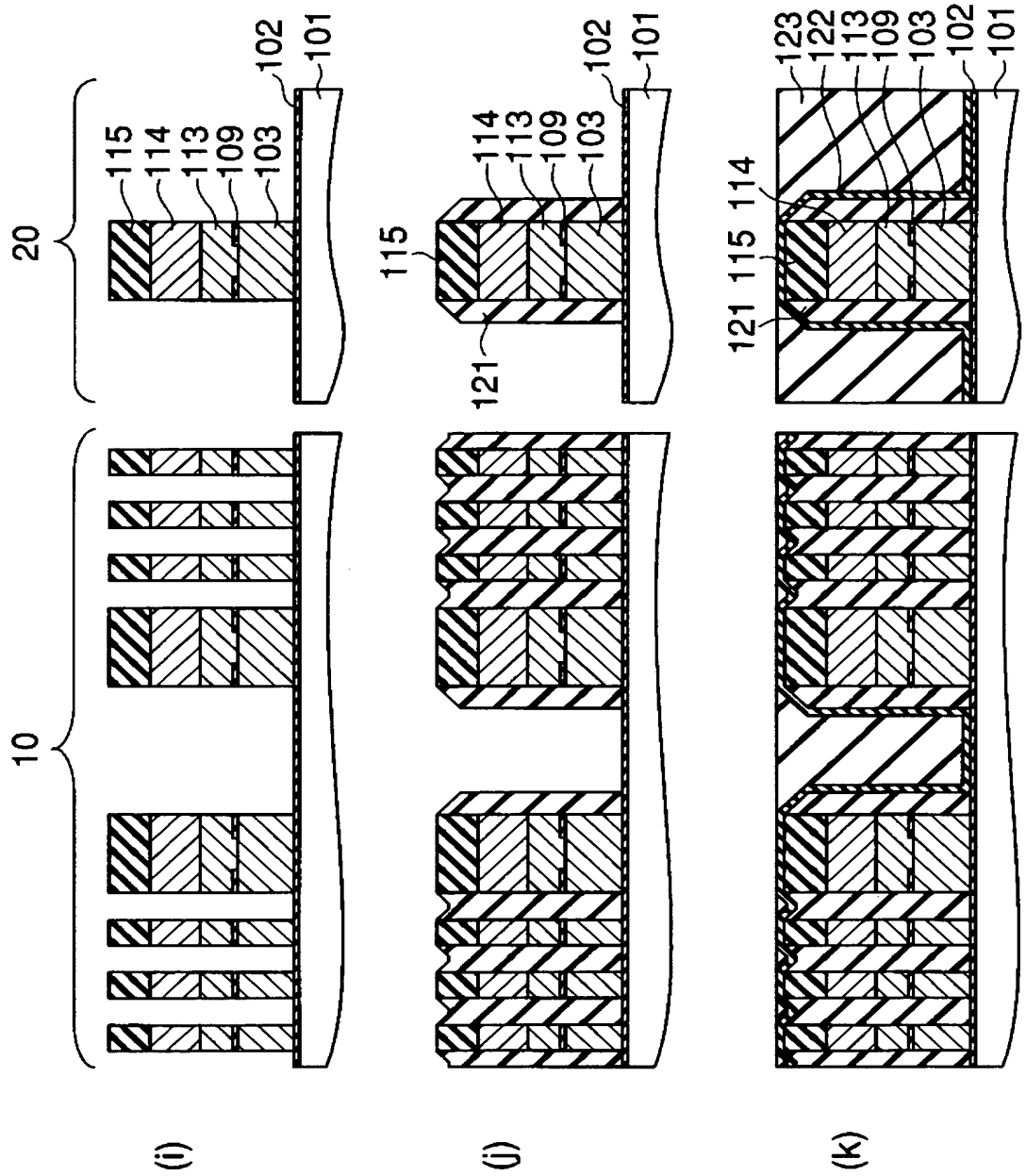
【図４】



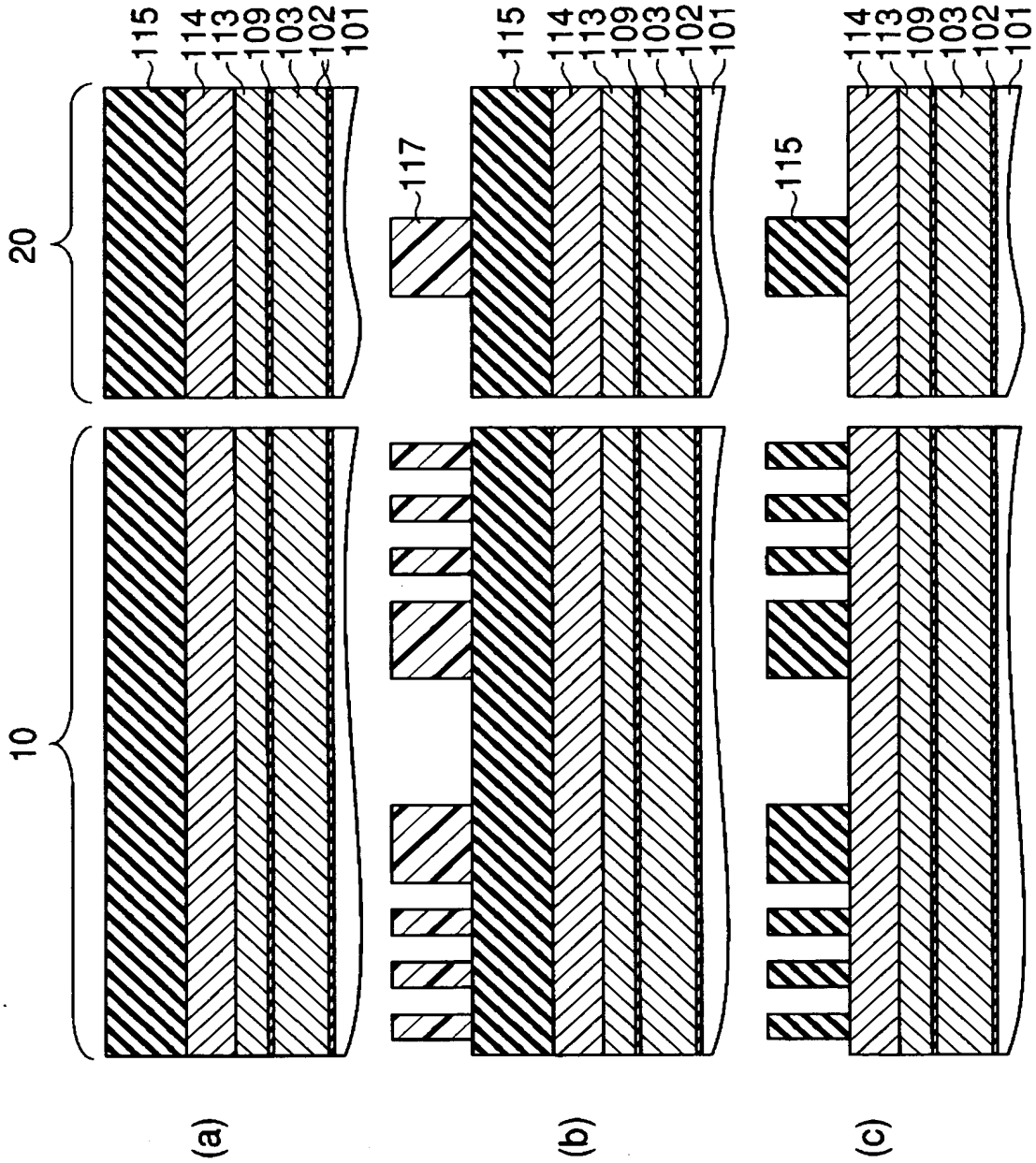
【図５】



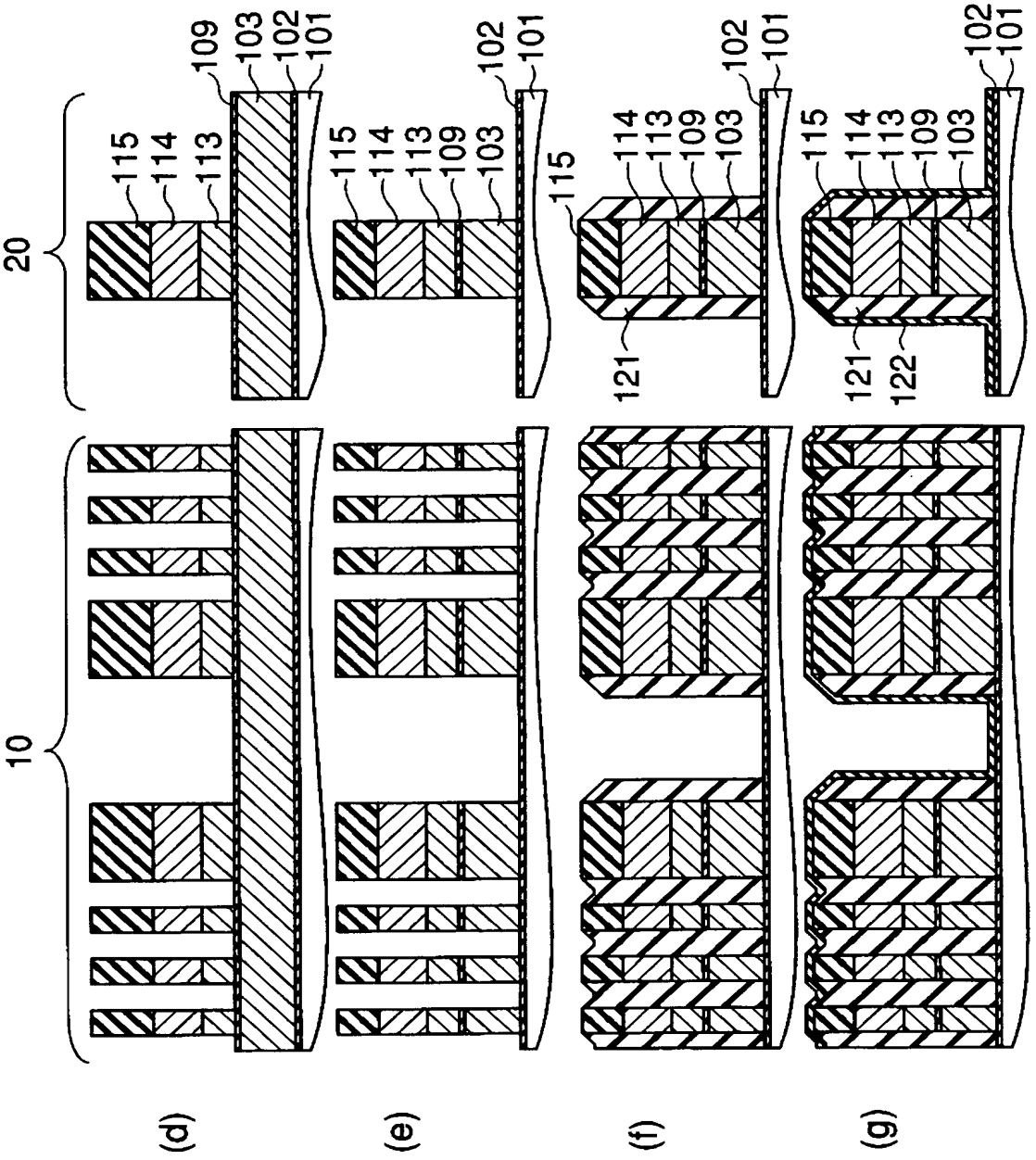
【図６】



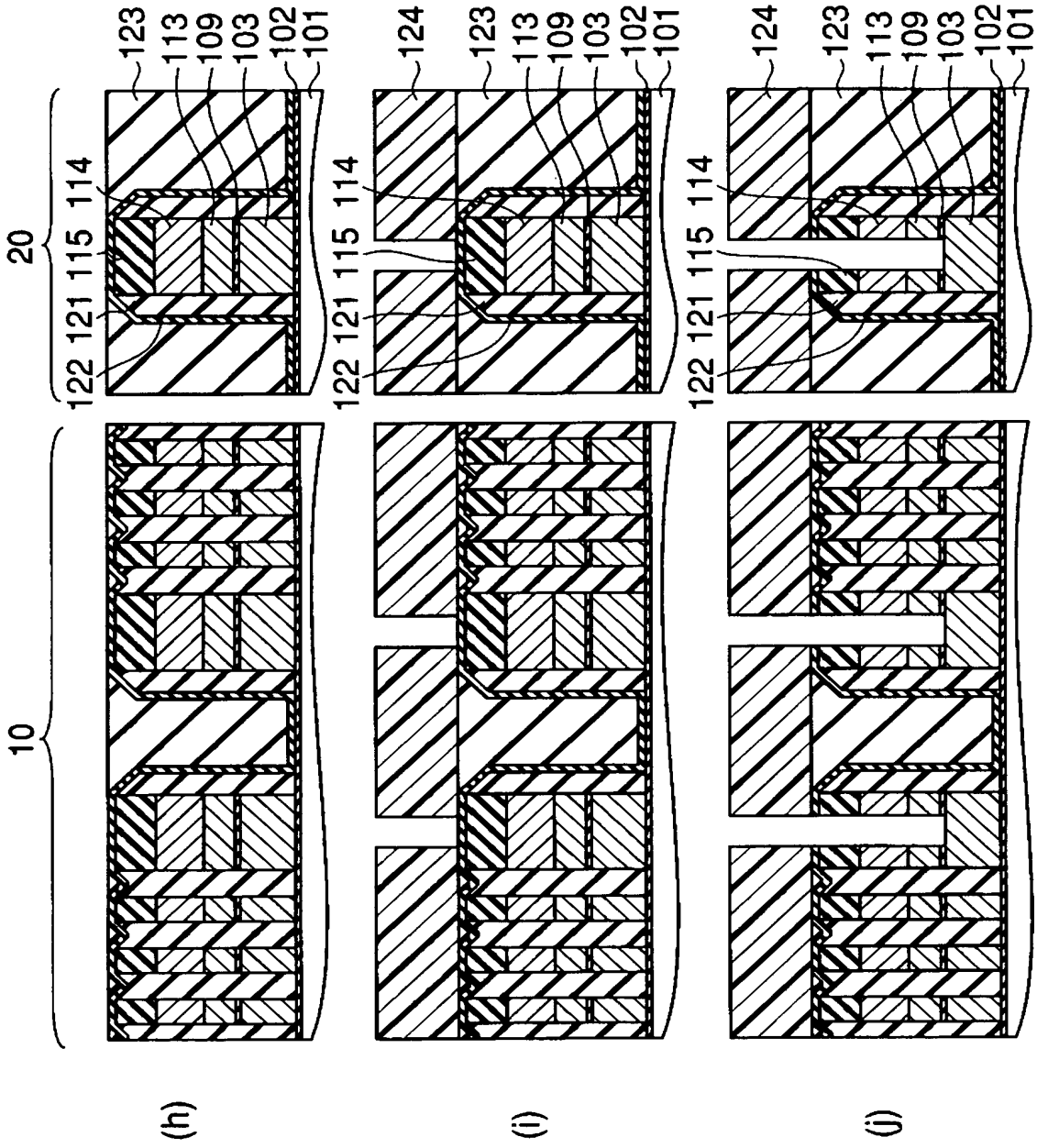
【図７】



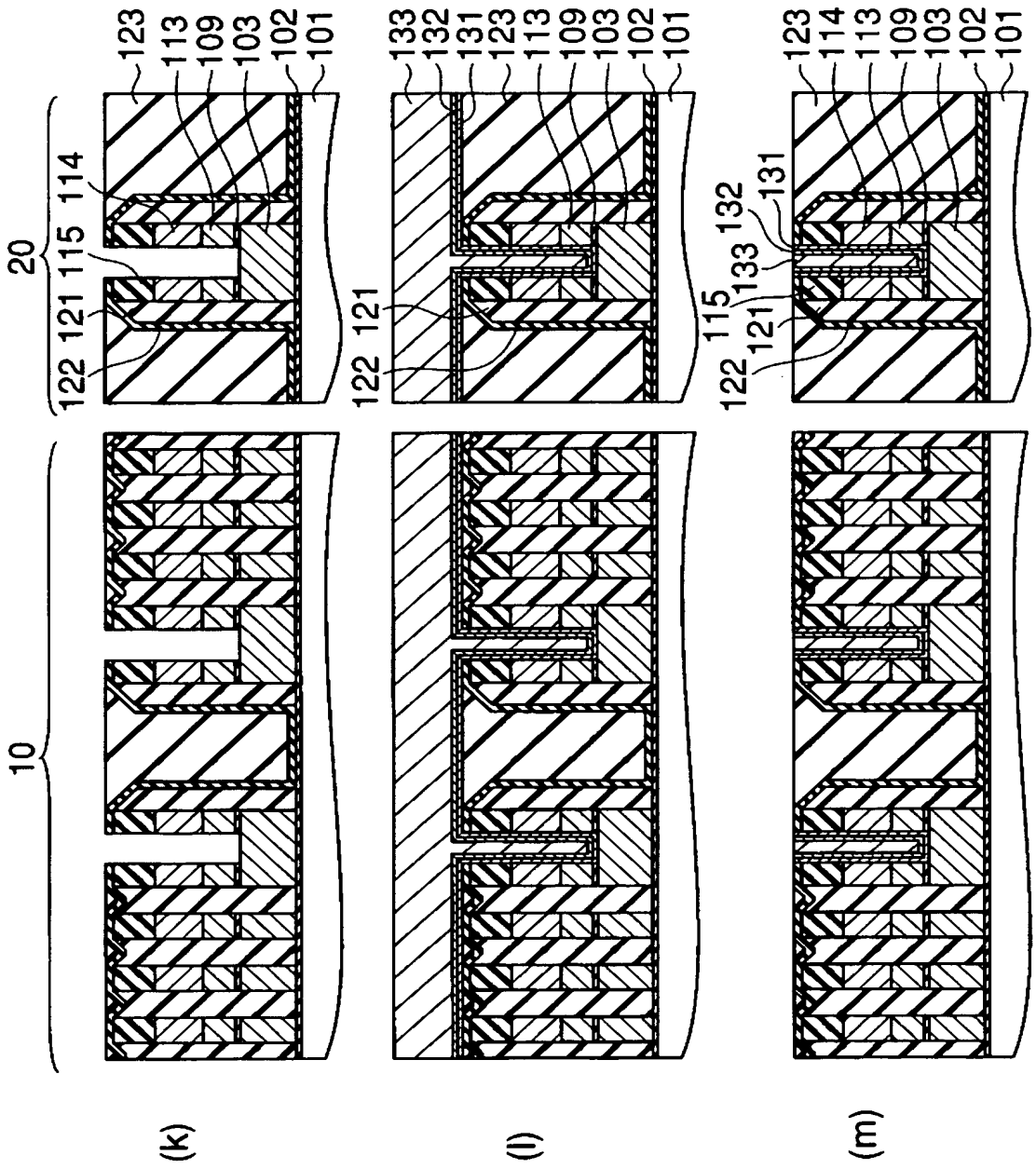
【図８】



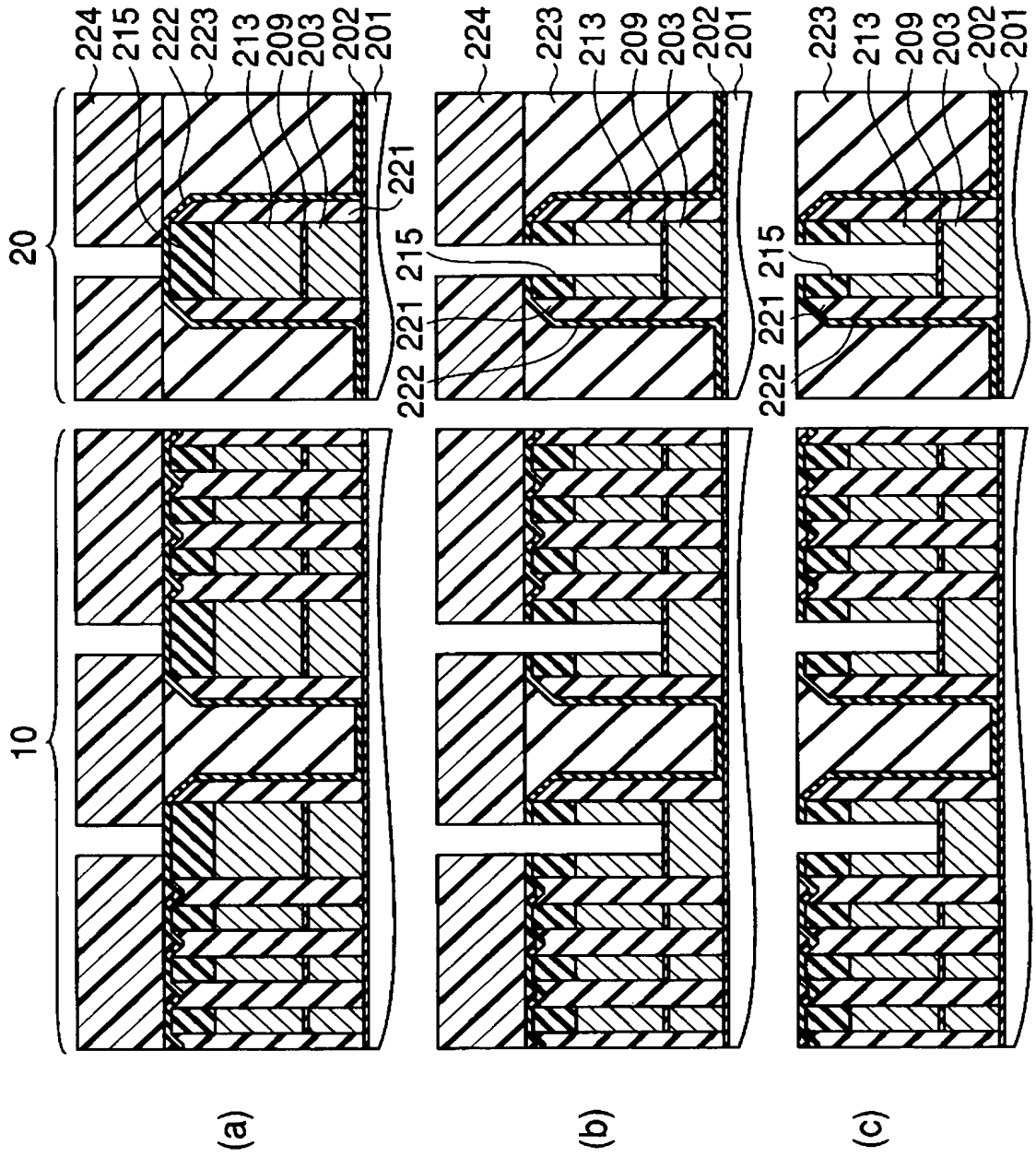
【図９】



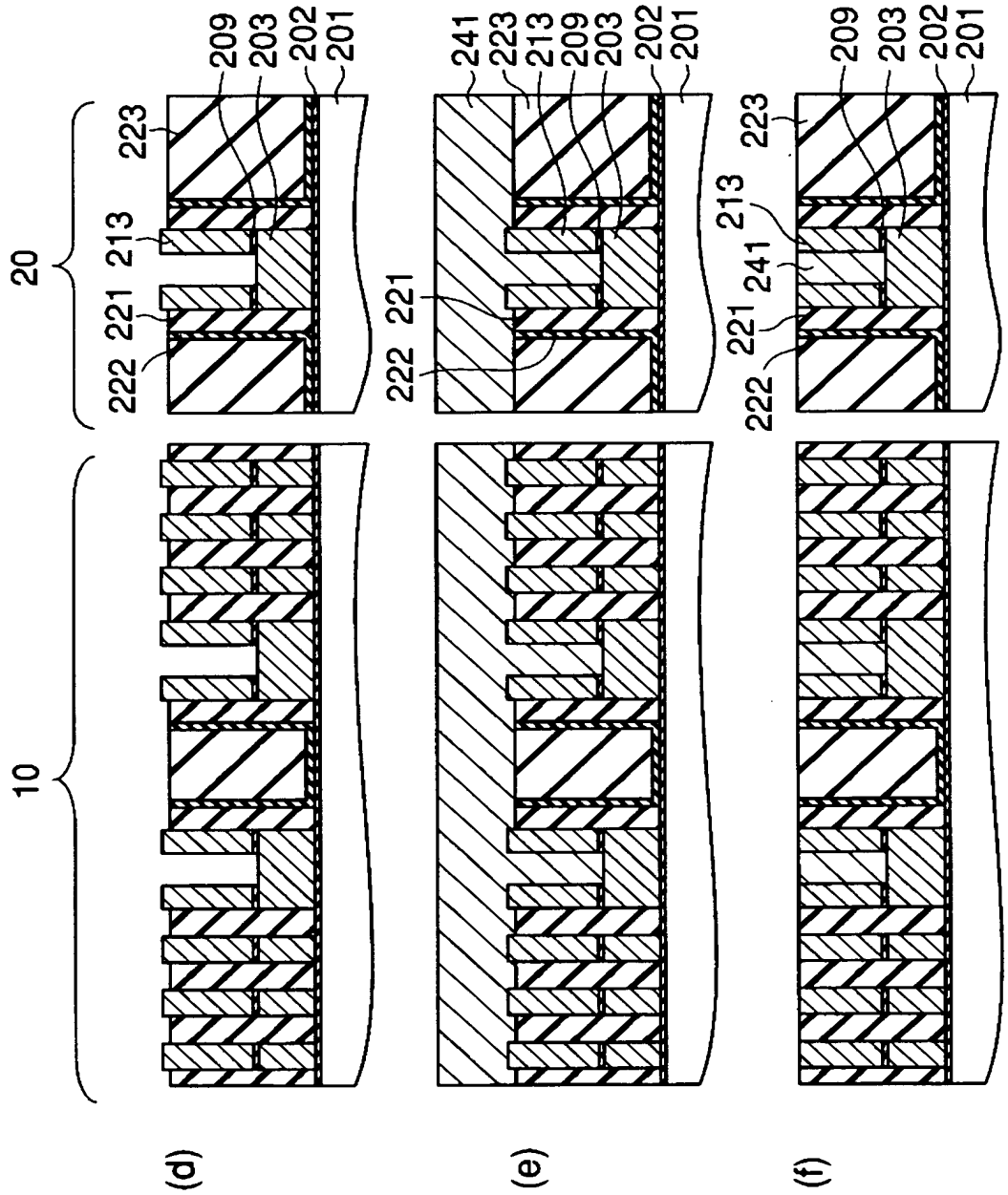
【図１０】


123
113
109
103
102
101
114
115
121
122
20
10
(k)
133
132
131
123
113
109
103
102
101
121
122
(l)
123
114
113
109
103
102
101
131
132
133
115
121
122
(m)

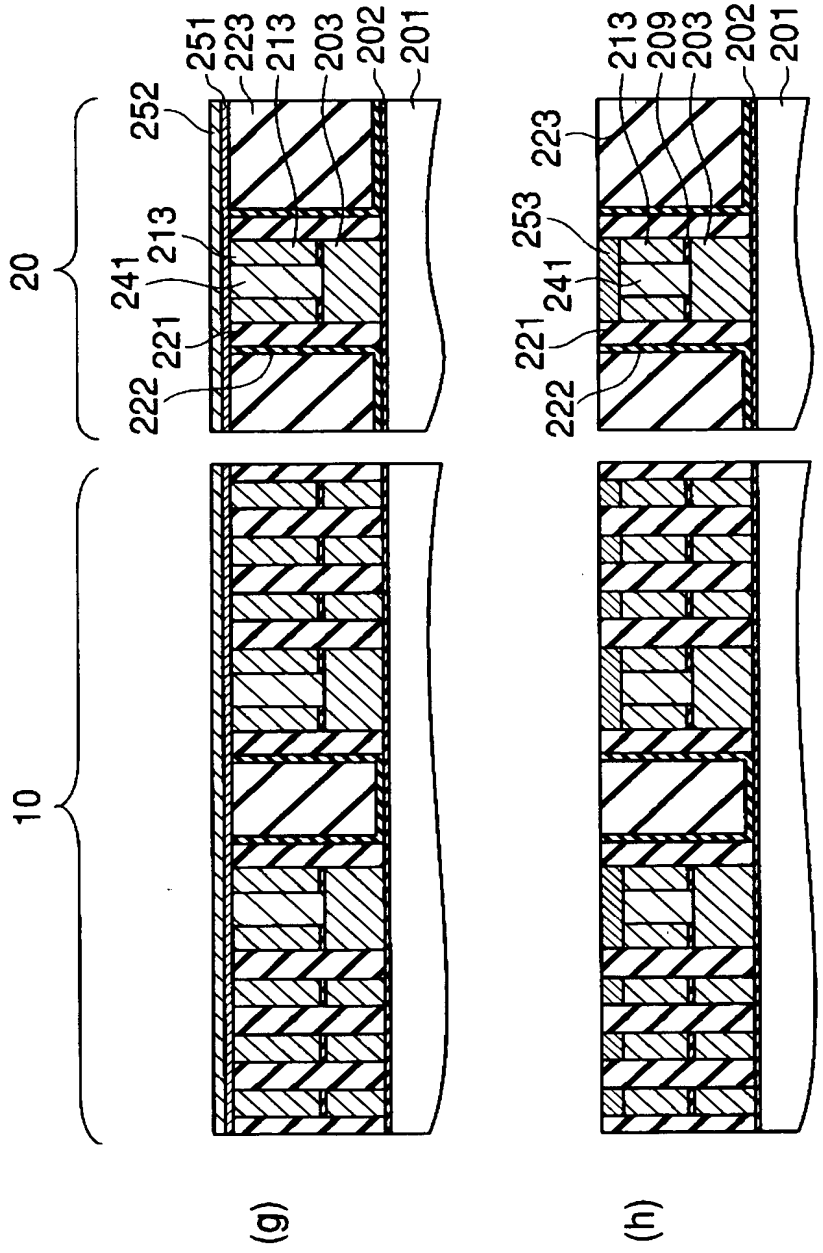
【図１１】



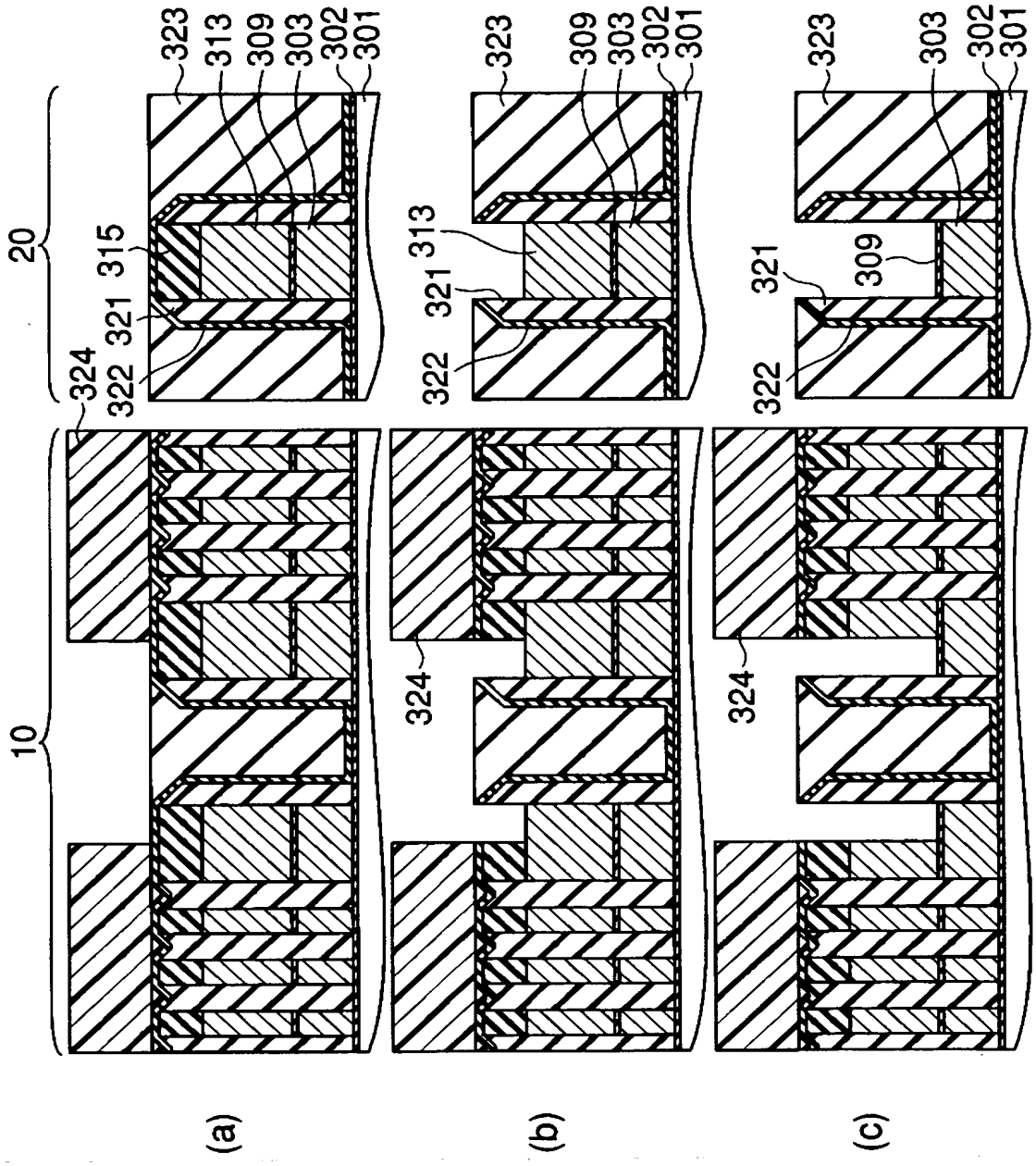
【図１２】



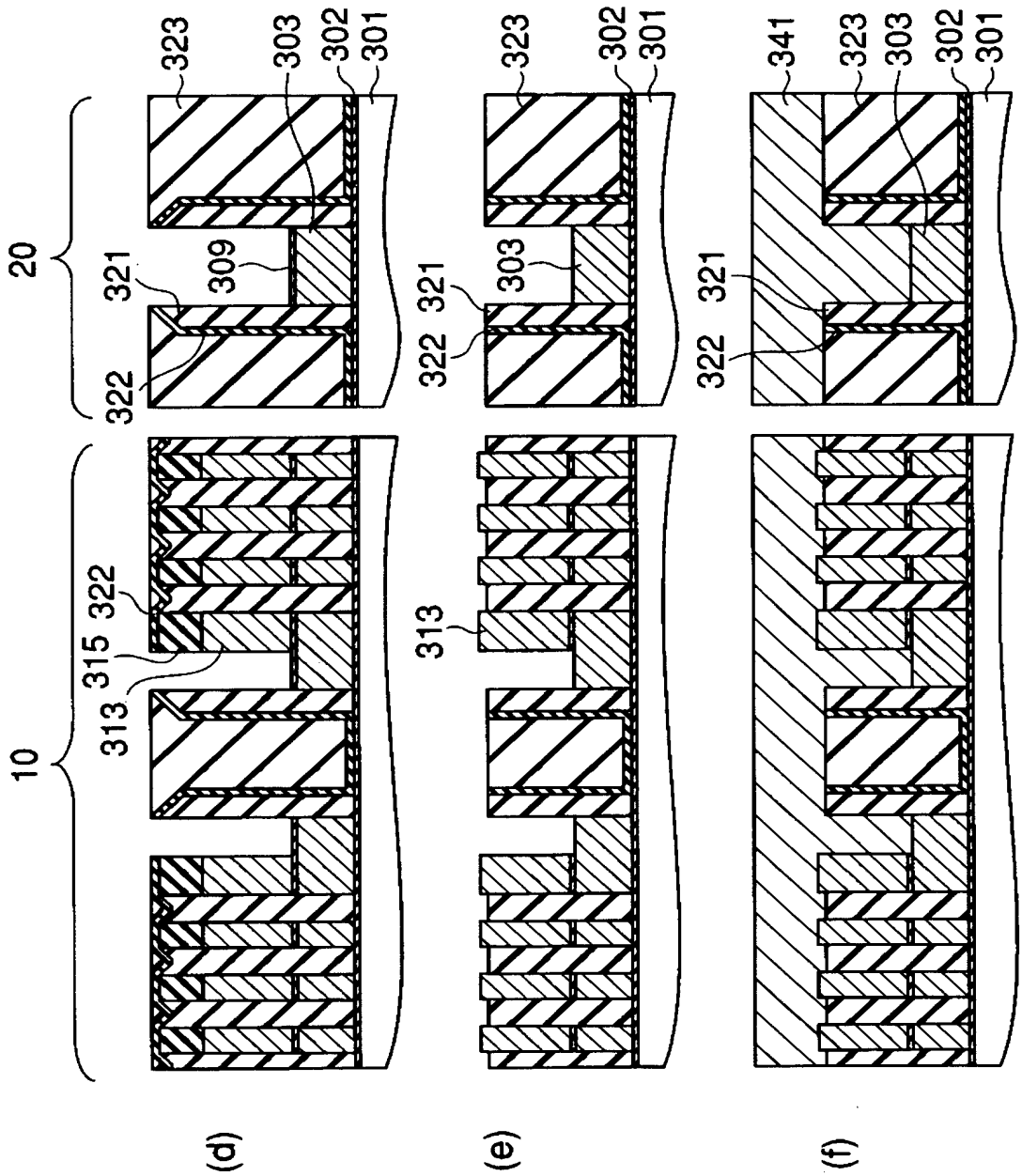
【図１３】


251
223
213
203
202
201
252
213
241
221
222
20
10
(g)
213
209
203
202
201
223
253
241
221
222
(h)

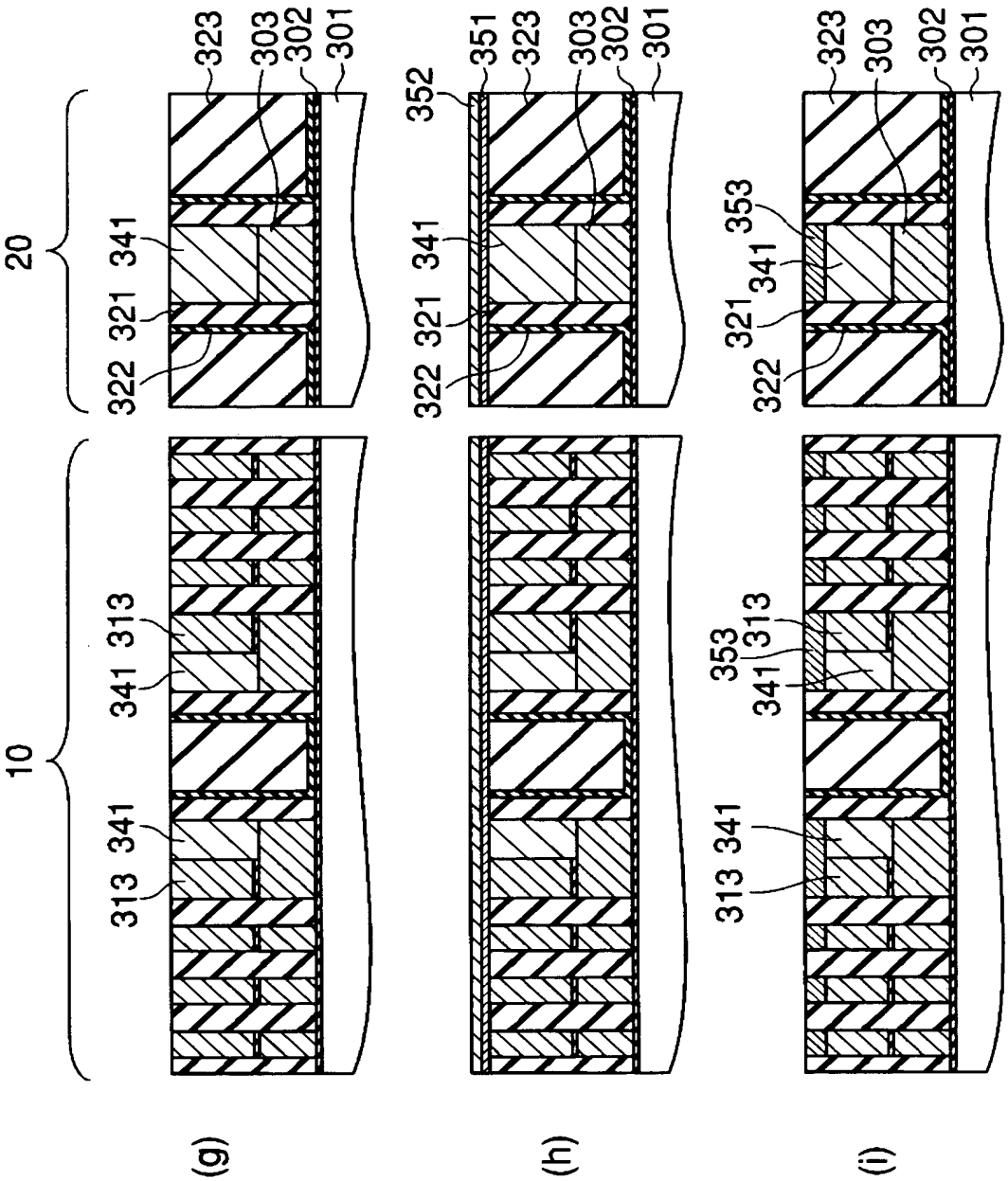
【図１４】



【図１５】


323
303
302
301
20
321
309
322
10
315
313
(d)
323
302
301
303
321
322
313
(e)
341
323
303
302
301
321
322
(f)

【図１６】



【書類名】要約書
【要約】
【課題】　２層ゲート間の絶縁膜に開孔領域を形成するためのリソグラフィの合わせ精度を高めることができ、チップサイズの縮小化及びコストの低減に寄与する。
【解決手段】　半導体基板１０１上に浮遊ゲートとなるポリシリコン膜１０３と制御ゲートとなるポリシリコン膜１１３を積層して形成されたスタックゲート構成の不揮発性メモリセルと、半導体基板１０１上に、浮遊ゲートとなるポリシリコン膜１０３と制御ゲートとなるポリシリコン膜１１３を積層して形成され、該積層された制御ゲートと浮遊ゲートを電気的に接続してなるメモリセル以外のトランジスタとを備えた半導体装置であって、メモリセル以外のトランジスタは、ポリシリコン膜１１３の上面からポリシリコン膜１０３の上面に達するように設けられたコンタクト穴内に導電体膜１３１，１３２，１３３が埋め込み形成されている。
【選択図】　図１０

特願２００３－３５９３７５

出願人履歴情報

識別番号　［０００００３０７８］

１．変更年月日　２００１年　７月　２日
［変更理由］　住所変更
住　所　東京都港区芝浦一丁目１番１号
氏　名　株式会社東芝